

This Page Is Inserted by IFW Operations
and is not a part of the Official Record

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images may include (but are not limited to):

- BLACK BORDERS
- TEXT CUT OFF AT TOP, BOTTOM OR SIDES
- FADED TEXT
- ILLEGIBLE TEXT
- SKEWED/SLANTED IMAGES
- COLORED PHOTOS
- BLACK OR VERY BLACK AND WHITE DARK PHOTOS
- GRAY SCALE DOCUMENTS

IMAGES ARE BEST AVAILABLE COPY.

As rescanning documents *will not* correct images,
Please do not report the images to the
Image Problem Mailbox.

RANDOM CODE GENERATING CIRCUIT

Patent Number: JP4046413
Publication date: 1992-02-17
Inventor(s): OSAKI TAKAAKI
Applicant(s): FUJITSU LTD
Requested Patent: JP4046413
Application Number: JP19900155688 19900614
Priority Number(s):
IPC Classification: H03K3/84
EC Classification:
Equivalents:

Abstract

PURPOSE: To generate plural random code series without increasing the circuit constitution by using a shift register for generating a random pattern and a feedback circuit in common for plural code series.
CONSTITUTION: A feedback circuit 30 and a shift register 31 form linear m-series random pattern generating circuit, a feedback path is provided from the circuit 30 to the shift register 31 and a signal from a k-th bit tap of the shift register 31 and a signal from a (K+5)th bit tap are inputted to shift registers 31, 32. After an optional pattern is set to the register 31, when a 10-bit burst clock is inputted, the signals from the taps k, k+5 are inputted to the registers 32, 33 as soon as the shift operation of the register 31 is implemented and a specific code pattern in the random code series is generated from the registers 32, 33. Thus, plural pseudo random code patterns are generated without increase in the circuit constitution.

Data supplied from the **esp@cenet** database - I2

⑩ 日本国特許庁(JP)

⑪ 特許出願公開

⑫ 公開特許公報(A)

平4-46413

⑬ Int. Cl. 5

識別記号

庁内整理番号

⑭ 公開 平成4年(1992)2月17日

H 03 K 3/84

A

8221-5J

審査請求 未請求 請求項の数 1 (全6頁)

⑮ 発明の名称 ランダム符号発生回路

⑯ 特 願 平2-155688

⑰ 出 願 平2(1990)6月14日

⑱ 発 明 者 大 崎 隆 昭 神奈川県川崎市中原区上小田中1015番地 富士通株式会社
内

⑲ 出 願 人 富 士 通 株 式 会 社 神奈川県川崎市中原区上小田中1015番地

⑳ 代 理 人 弁 理 士 穂 坂 和 雄 外2名

明 細 書

1. 発明の名称

ランダム符号発生回路

2. 特許請求の範囲

シフトレジスタ(2)と帰還回路(1)とからなる疑似ランダムパターン発生回路を用いたランダム符号発生回路において、

疑似ランダムパターンを発生するシフトレジスタ(2)の所定の間隔において複数のタップを選択し、

各タップの出力信号を入力するそれぞれ所定の長さを持つ複数のシフトレジスタ(3-1~3-n)を接続し、

前記複数のシフトレジスタのビット長の入力信号毎に相互に異なる疑似ランダム符号系列のパターンを発生することを特徴とするランダム符号発生回路。

3. 発明の詳細な説明

〔概要〕

シフトレジスタと帰還回路とからなる疑似ランダムパターン発生回路を用いたランダム符号発生回路に関し、

回路構成を増大させることなく複数のランダム符号系列を発生することができるランダム符号発生回路を提供することを目的とし、

疑似ランダムパターンを発生するシフトレジスタの所定の間隔において複数のタップを選択し、各タップの出力信号を入力するそれぞれ所定の長さを持つシフトレジスタを接続し、複数のシフトレジスタのビット長の入力信号毎に相互に異なる疑似ランダム符号系列のパターンを発生するように構成する。

〔産業上の利用分野〕

本発明はシフトレジスタと帰還回路とからなる疑似ランダムパターン発生回路を用いたランダム符号発生回路に関する。

デジタル情報の伝送、交換や、情報処理の分野において、装置やシステムの機能を試験したり、性能を評価する場合に乱数発生回路により発生する疑似ランダムパターンが用いられる。

具体的な例を挙げると、音声情報や画像情報のデジタル信号の伝送装置、交換装置および処理装置等は、ランダムなあらゆるパターンの信号に対処する機能を備えなければならない。そのため、疑似ランダム符号パターン（乱数符号ともいう）を発生させ、それらの信号に対して正常に動作するかが試験される。

従って、疑似ランダム符号を高速に発生することが必要であると共に、試験または評価すべき対象となる装置が、複数の入力信号について同時に処理する機能を持つ場合、それに対応して互いに相関のない複数の疑似ランダム符号パターンを同時に発生する必要がある。

[従来の技術]

第4図は従来例の構成図である。

シフトレジスタ41-1から出力されたランダムパターンの出力は、jビットで構成する出力用のシフトレジスタ42-1に入力して、jビットのシフト動作毎にシフトレジスタ42-1のjビットの並列出力により第1の疑似ランダム符号パターンが得られる。

この第1の疑似ランダム符号パターンと相関のない他の第m ($m \geq 2$) の疑似ランダム符号パターンを生成する構成は、上記の帰還回路40-1とは構成が異なる第mの帰還回路40-mと、上記のシフトレジスタ41-1と同じ長さの第mのシフトレジスタ41-m及び出力用のjビット長のシフトレジスタ42-mが用いられる。

このように、従来例のA. の場合は、相関関係のない複数の疑似ランダム符号パターン（乱数符号ともいう）を得るために、それぞれに対応する帰還回路、シフトレジスタ、出力用のシフトレジスタを設ける必要があった。

次に第4図のB. の例を説明すると、帰還回路43-1とシフトレジスタ44-1および出力用

従来の互いに相関のない複数の乱数符号系列を発生させる方式として、帰還回路とシフトレジスタの組合せにより構成される公知の線型M系列ランダムパターン発生回路が用いられ、第4図のA. に示すような異なる帰還系列を用いる例と、第4図のB. に示すような異なるビット長を用いる例とがある。

第4図のA. について説明すると、第1の疑似ランダム符号パターンを発生するために、nビットからなるシフトレジスタ41-1の最終段nの出力が帰還回路40-1に入力し、公知の排他的オア (E X O R) 回路の組合せによる適宜の複数の出力信号がシフトレジスタ41-1に帰還されて、線型M系列ランダムパターンが発生される（帰還回路における排他的オア回路とシフトレジスタへの帰還信号の構成は、ランダムビット列生成のための多項式により異なる）。

最初、シフトレジスタ41-1は或るビット状態（オール0以外のパターン）に設定され、図示しないクロック信号によりシフト動作が行われ、

のシフトレジスタ45-1により第1の疑似ランダム符号パターンが生成されるのに対し、この第1の疑似ランダム符号パターンと相関のない他の第mの疑似ランダム符号パターンを生成するために、帰還回路43-mの構成およびシフトレジスタ44-mのビット長さがそれぞれ第1の帰還回路43-1およびシフトレジスタ44-1と異なる発生回路を用いる。

[発明が解決しようとする課題]

上記の従来例のA. の構成およびB. の構成のいずれの場合も、複数の互いに相関のない疑似ランダム符号パターンを発生するには、各疑似ランダム符号パターンに対応して、帰還回路、シフトレジスタとからなる線型m系列ランダムパターン発生回路が独立して設けられているため、複数のランダム符号系列を発生させようとすると金物費が多くなるという問題があった。

本発明は回路構成を増大させることなく複数のランダム符号系列を発生することができるランダム

ム符号発生回路を提供することを目的とする。

〔課題を解決するための手段〕

第1図は本発明の原理構成図である。

第1図において、1は帰還回路、2はシフトレジスタ、3-1はランダム符号系列1の出力用シフトレジスタ、3-mはランダム符号系列mの出力用シフトレジスタである。

本発明は金物登の大半を占めるランダムパターン発生用のシフトレジスタと帰還回路を複数の符号系列で共用化し、シフトレジスタの適宜の間隔をおいた複数のビット位置のタップから符号列を取り出して対応する出力用シフトレジスタに入力するものである。

〔作用〕

第1図の作用を第2図の原理説明図を用いて説明する。

第1図のシフトレジスタ2はnビット長で構成され、最初に任意のパターン（オール“0”以

外）の状態に設定され、クロック信号によりシフトを行う。帰還回路1は予め決められた多項式に対応する帰還経路がシフトレジスタ2に対して形成されている（図ではシフトレジスタの各ビットに帰還経路ができていますが、この中の必要なものだけを使用する）。

このシフトレジスタ2と帰還回路1の組合せにより、nビットのシフトレジスタに発生する疑似ランダムビット列は、第2図のA.に示すように、1周期が $(2^n - 1)$ ビットである。

このシフトレジスタ2の中の所定の間隔をおいたビット位置の出力をタップにより取り出して、第1図のようにjビット長の出力用のシフトレジスタ3-1~3-mにそれぞれ入力し、シフト用のクロック信号を供給すると、第2図A.に示す疑似ランダムビット列がそれぞれ所定の間隔をおいて各シフトレジスタ3-1~3-mに入力する。なお、このシフトレジスタ3-1~3-mの終端のビット信号はシフトにより消える。

シフトレジスタ2で発生する疑似ランダムビッ

ト列は、jビット分だけシフトレジスタ3-1~3-mにシフトしながら入力して、jビット毎に各シフトレジスタから並列なランダム符号が発生する。これらの各シフトレジスタ3-1~3-mの各ランダム符号はそれぞれ相互に相関が極めて小さいランダム符号系列1~ランダム符号系列mのパターンとなる。

出力用のシフトレジスタ（jビット長）の1つに出力されるパターンは、シフトレジスタ2から発生するビットパターン（第2図A）であるB₁からB_E（但し、 $E = 2^n - 2$ ）までの合計 $2^n - 1$ 個のビット列をjビット毎に区切った、P₁、P₂、・・・P_kの合計k個のパターンとなる。

しかし、シフトレジスタ2の1つの周期（B₁からB_E）のビット列は、jで割り切れないため、余り（または「ずれ」）のビットとしてα個のビットが生じる。これを式で表すと次のとおりである。

$$(2^n - 1) / j = k \text{ (余り } \alpha)$$

第2図B.に示すように、上記のP₁~P_kの

期間をグループ周期 t_i とし、各グループ周期を t_1, t_2, \dots とすると、最初のグループ周期 t_1 の余りのα(<j)ビットを、次の周期 t_2 の先頭のパターンP₁に含んで以下のパターンが発生する。従って、最初の周期 t_1 のパターンP₁、P₂・・・P_kからなるパターングループ（図中、PG-1で表示）と以下の周期 t_2, t_3, \dots の各パターングループ（図中、PG-2, PG-3・・・で表示）のP₁、P₂・・・P_kとは互いにビット構成にずれがあるため異なるパターンとなる。

こうして、グループ周期 t_i （但し、 $i = (\alpha \text{ と } j \text{ の最小公倍数}) / \alpha$ ）になると、前記余りα=0となって、パターンP₁の先頭のビットがスタート時（PG-1の先頭のビットB₁）と一致する。従って、この $t_1 \sim t_i$ の期間をTとすると、TはパターングループPG-1, PG-2, ... PG-iの繰り返し周期に相当する。このパターングループが順次サイクリックに発生する様子を第2図C.に示す。

上記の性質を利用すると、疑似ランダムパターン発生回路のシフトレジスタのあるタップから符号列 $PG-i$ を得る場合、当該タップと α ビット進んだタップから得られる符号列は時間 t (グループ周期) 後に得られる符号列 $PG-i+t$ に等しくなる。

この出力タップ取り出しの列を第2図D. に示す。この例では、 $\alpha=2$ 、ランダム符号長 j (出力用の各シフトレジスタのビット長) = 8ビット、 $i = (2 \text{ と } 8 \text{ の最小公倍数}) / 2 = 4$ の場合であり、 α と j の最小公倍数は8であるから、シフトレジスタの8ビット毎に同じランダムパターン列が発生し、2ビット毎のタップの出力 (B0, B2, B4, B6) から相互に相関の少ないビットパターンを取り出すことができる。

これは、複数のランダム符号パターン列を得る場合に、パターンの取出しタップを適宜選択することにより同時には相関の極めて小さい疑似ランダムパターンが単一の発生回路から得られることを表す。

の④に示すように10ビットバーストクロックが入力すると、シフトレジスタ31のシフト動作と同時にタップ k と $K+5$ の信号がそれぞれシフトレジスタ32, 33に入力する。

1群の10ビットバーストクロックが入力された後、クロックが停止するとB. の④に示すように各シフトレジスタ32, 33から有効出力が発生する。すなわち、各シフトレジスタ32, 33の10ビットの出力1, 出力2で示す並列出力から、それぞれのランダム符号系列の中の特定の符号パターンが発生する。

この有効出力が取り出された後、次の10ビットバーストクロックが発生して、次の10ビットの符号パターンが得られ、以下、同様に、B. の②に示す周期 T 毎に符号パターンが各シフトレジスタ32, 33から順次発生する。この例では、周期 T を10 μ 秒とする。

このようにランダムパターンの発生周期を10 μ 秒とすると、ビット列の周期は、次のようになる。

[実施例]

第3図は実施例の構成図である。

第3図のA. に示す構成において、30は帰還回路、31は61ビットのシフトレジスタ、32, 33は10ビットのシフトレジスタである。

帰還回路30とシフトレジスタ31とで線型 m 系列ランダムパターン発生回路を構成し、帰還回路30からシフトレジスタ31には予め設定された帰還路が設けられ、シフトレジスタ31の第 k ビットのタップと第 $K+5$ ビットのタップがそれぞれシフトレジスタ32, 33に入力されている。また、シフトレジスタ31~33には、クロック信号が10個毎にバースト状に入力する10ビットバーストクロックが各シフト入力として供給されている。

第3図のB. に示すタイミングチャートを用いて動作を説明する。最初にシフトレジスタ31に任意のパターンが設定され (リセットにより任意の決められたパターンが設定される)、この後B.

$$(2^{\alpha} - 1) / j = \{ (2^{61} - 1) / 10 \} \times 10^{-3} \text{ (秒)}$$

この時間 (秒) を年に換算 ($3600 \times 24 \times 365$ 秒で割る) すると、結果は、約7311年となる。なお、 $(2^{61} - 1) / 10$ の余り (差分) は、 $\alpha = 1$ となる。

第3図のシフトレジスタ32, 33は、 $\alpha = 1$ 、 $j = 10$ であり、この時上記の計算により、 $i = 10$ 、 $t = 7311$ (年) であるから、周期 $T = t \times 10 = 73110$ 年となる。この時、タップが5ビットずれているので、周期は $1/2$ となるので、

$$73110 \text{ (年)} / 2 \approx 36000 \text{ (年)}$$

となり、互いに5ビット離れたタップから得られる疑似ランダム符号パターンは、約3万6千年の時間差を持つこととなり、2個の出力パターンには実際の応用上相関がないと考えられる。

[発明の効果]

本発明によれば複数の疑似ランダム符号パターンを、共通のランダム符号発生回路を用いて発生

することができるので、従来に比べて回路構成を大幅に削減することができる。

4. 図面の簡単な説明

第1図は本発明の原理構成図、第2図は原理説明図、第3図は実施例の構成図、第4図は従来例の構成図である。

第1図中、

1 : 繰返回路

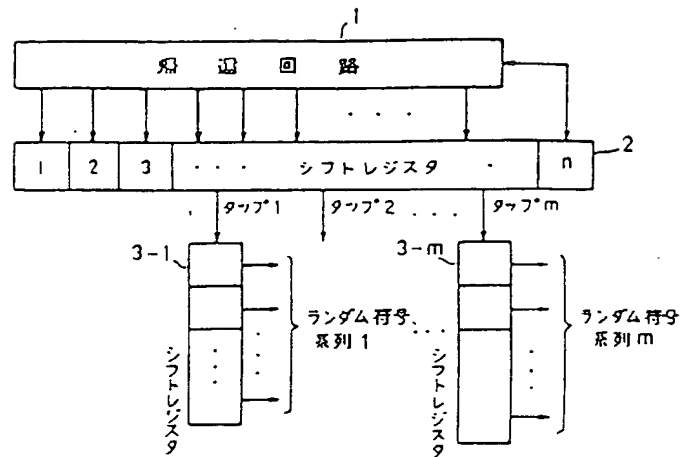
2 : シフトレジスタ

3-1 : ランダム符号系列1の

出力用シフトレジスタ

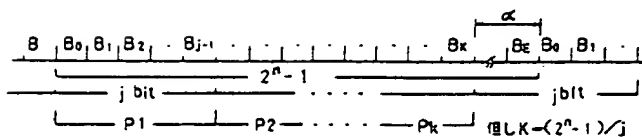
3-m : ランダム符号系列mの

出力用シフトレジスタ

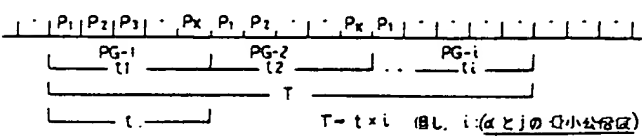


本発明の原理構成図
第1図

特許出願人 富士通株式会社
代理人弁理士 堀坂 和雄 (外2名)



A. 疑似ランダムビット例

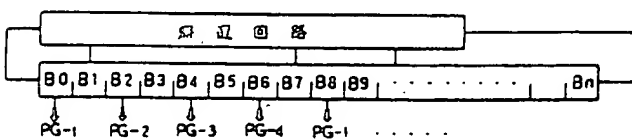


B. jビットで区切った時のくり返し周期



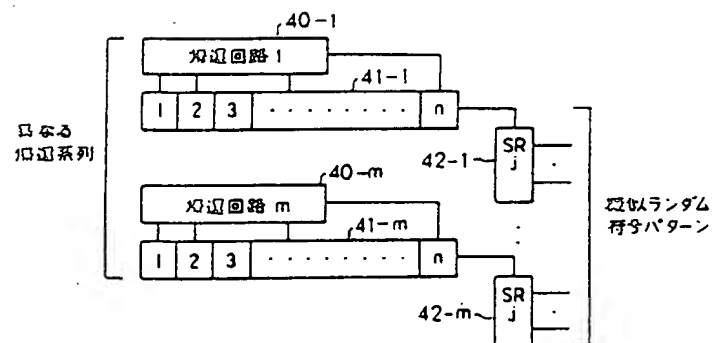
C. パターングループの発生

$\alpha = 2$, ランダム符号長 = 8 bit, $i = 4$ の場合

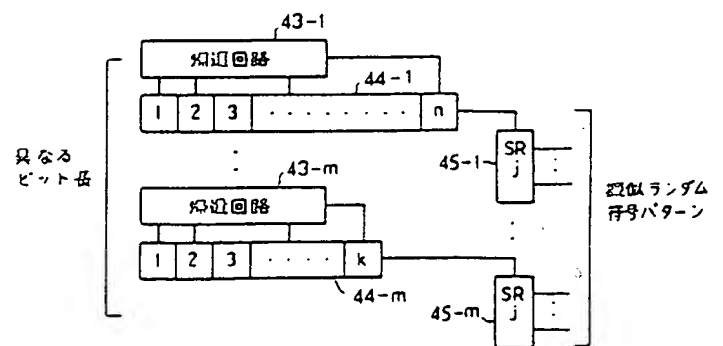


D. 出力タップの例

本発明の原理説明図
第2図

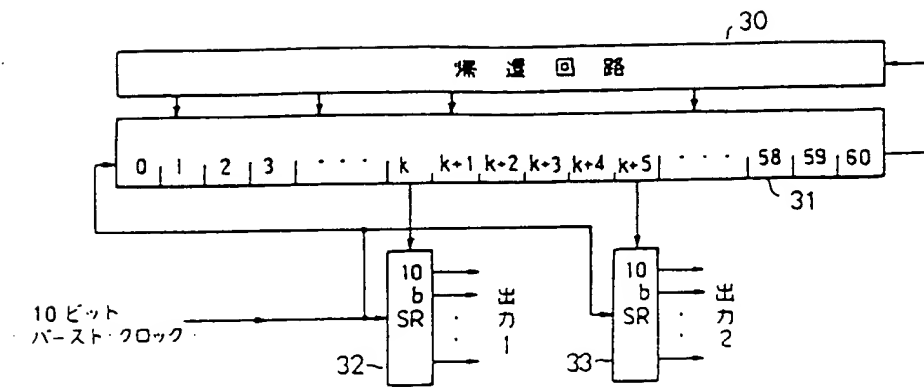


A. 異なる繰返系列を用いる例

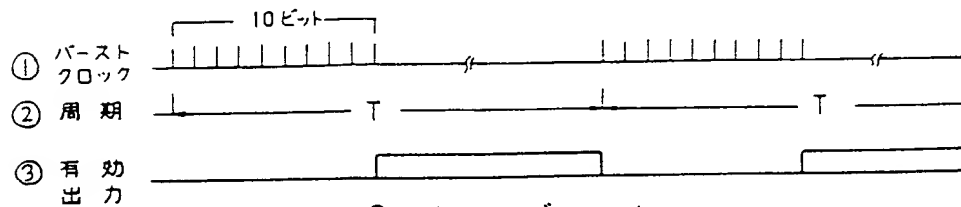


B. 異なるビット長を用いる例

従来例の構成図
第4図



A. 構成



B. タイミングチャート

実施例の構成図

第 3 図